

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-261004

(43)Date of publication of application : 29.09.1998

(51)Int.Cl.

G06F 17/50
H01L 29/00

(21)Application number : 09-067026

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 19.03.1997

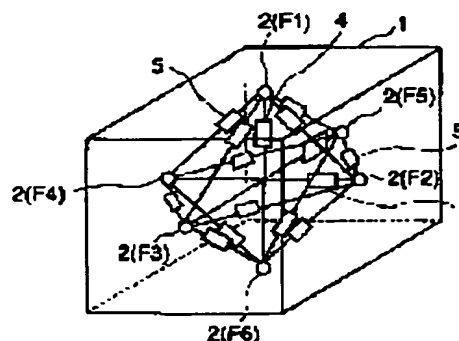
(72)Inventor : KIMURA TOMOHISA
OKUMURA MAKIKO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT ANALYZER

(57)Abstract:

PROBLEM TO BE SOLVED: To enable the efficient analysis of a large scale circuit by using a substrate board model having less number of nodes for the analysis of substrate board.

SOLUTION: A model provided for the analysis of substrate board is composed of 6 nodes of upper face node 2 (F1), back node 2 (F5), right side face node 2 (P2), left side face node 2 (F4), front node 2 (F3) and base node 2 (F6) and the model formed without a central node is provided. In this case, since resistant elements are included for respectively linking the nodes, the number of resistant elements is increased rather than a conventional model but the number of nodes is 0.5×6 and becomes 3 totally. In such model configuration, since there are just nodes shared with respective adjacent cubes on six surfaces of cube, the number of nodes per cube is '3'. Thus, the number of nodes becomes 75% in comparison with the case using the conventional board model.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-261004

(43)公開日 平成10年(1998) 9月29日

(51)IntCl⁶

識別記号

F I

G 0 6 F 17/50

G 0 6 F 15/60

6 6 6 S

H 0 1 L 29/00

H 0 1 L 29/00

G 0 6 F 15/60

6 6 2 G

審査請求 未請求 請求項の数13 O L (全 12 頁)

(21)出願番号

特願平9-67026

(22)出願日

平成9年(1997) 3月19日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 木村 智寿

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 奥村 万規子

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

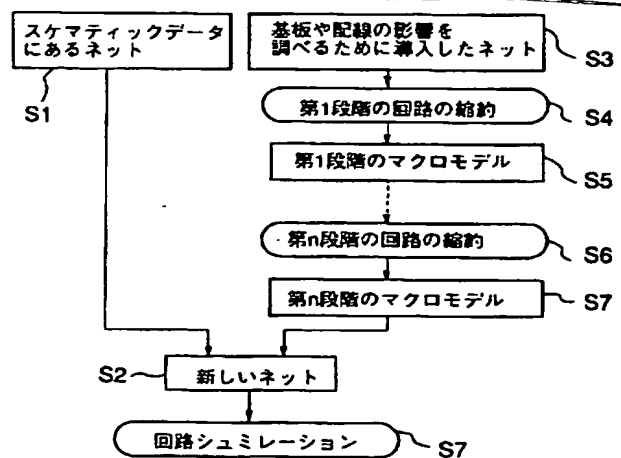
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 半導体集積回路解析装置

(57)【要約】

【課題】半導体集積回路のサブストレート基板の影響を抵抗回路網として回路シミュレーションで解析する際に直面するノード数の増大の問題を解決する。

【解決手段】集積回路のサブストレート基板(SUB)を立体の集合体として取り扱い当該SUBを当該集積回路を構成する線形素子、非線形素子とともに回路シミュレータで解析する装置において、基板モデル(S_m)は多角柱の側面及び底面上に端子を持ち、或いはS_mは三角柱或いは四角柱で上底或いは下底面上の三つの頂点部分と異なる底面上の一つの頂点部分に端子を持ち当該端子間を抵抗性、容量性及び誘導性成分を介して結合させた回路とする。また入力データから二つの線形素子のみに接続する接点を見つけ前記線形素子を合成したり同じ二つの接点に接続する複数の線形素子を合成して新たな入力データを作成する処理、複数のS_mの回路方程式を立て行列演算により当該回路方程式を表す行列の次元を小さくし新たなモデルとする処理を回路シミュレーション解析前に実行する。



【特許請求の範囲】

【請求項1】抵抗要素、容量要素、誘導要素のうち、少なくとも一つの要素を用いて集積回路のサブストレート基板を、少なくとも面に接続点としてのノードを持つ前記要素でモデル化した単位立体の集合体として取り扱い、このモデル化した要素を用いて当該サブストレート基板を当該集積回路を構成する線形素子、非線形素子とともに回路シミュレータで動作特性解析する半導体集積回路解析装置において、前記単位立体は立体の各面にのみ、ノードを配置して隣接立体との接続のためのノードとしたモデル構造の集合体としてデータ化する処理手段と、このデータを用いて回路シミュレータによる当該サブストレート基板の動作特性解析処理する手段と、を具備することを特徴とする半導体集積回路解析装置。

【請求項2】抵抗要素、容量要素、誘導要素のうち、少なくとも一つの要素を用いて集積回路のサブストレート基板を、少なくとも面に接続点としてのノードを持つ前記要素でモデル化した単位立体の集合体として取り扱い、このモデル化した要素を用いて当該サブストレート基板を当該集積回路を構成する線形素子、非線形素子とともに回路シミュレータで動作特性解析する半導体集積回路解析装置において、前記単位立体は立体の角部に三面共通となるノードを配置したモデル構造を用いた集合体としてデータ化する処理手段と、このデータを用いて回路シミュレータによる当該サブストレート基板の動作特性解析処理する手段と、を具備することを特徴とする半導体集積回路解析装置。

【請求項3】前記単位立体は多角柱であり、前記ノード間を抵抗性、容量性及び誘導性成分要素を介して結合させたモデルを用いてサブストレート基板を表現すると共に、前記処理手段はこの多角柱を複数集合させて大きな立体にまとめることにより、隣接立体のノード間を集約してノード数を削減処理したデータ化することを特徴とする請求項1または2いずれか記載の半導体集積回路解析装置。

【請求項4】前記立体は四角柱であることを特徴とする請求項3記載の半導体集積回路解析装置。

【請求項5】前記立体は三角柱或いは四角柱のいずれかであり、上底或いは下底面上にある頂点のうちの三つの頂点の部分と、前記三つの頂点のある底面とは異なる側の底面上に前記三つの頂点のうちの一つの頂点と対称な部分にノードを持ち、当該ノード間を結ぶ辺に沿って隣接するノード間を抵抗性、容量性及び誘導性成分を介して結合させたモデルであることを特徴とする請求項2記載の半導体集積回路解析装置。

【請求項6】前記立体は六角柱であり、上底或いは下底面上にある頂点のうちの連続する四つの頂点の部分と、前記四つの頂点のある底面とは異なる側の底面上に前記

四つの頂点のうちの一つと頂点と対称な部分にノードを持ち、当該ノード間を結ぶ辺に沿って隣接するノード間を抵抗性、容量性及び誘導性成分を介して結合させたモデルであることを特徴とする請求項4記載の半導体集積回路解析装置。

【請求項7】半導体基板上に配置された線形素子及び非線形素子と基板や配線等の寄生成分をモデル化したものを回路シミュレータで解析する半導体集積回路解析装置において、

回路シミュレータの入力データから二つの同じ種類の線形素子だけに接続する接点を検出する処理と、当該接点において前記二つの線形素子を合成して新たな素子値を持つ一つの線形素子にする処理と、前記入力データから前記二つの線形素子と前記接点の情報を消し去り、前記二つの線形素子が接続する前記接点と異なる側の接点間に前記合成された線形素子を挿入して新たな入力データを作成する処理を実施する処理手段と、この処理手段の作成したデータを用いて回路シミュレーションによる解析をする解析手段とを備えたことを特徴とする半導体集積回路解析装置。

【請求項8】半導体基板上に配置された線形素子及び非線形素子と基板や配線等の寄生成分をモデル化したものを回路シミュレータで解析する半導体集積回路の解析装置において、

回路シミュレータの入力データから同じ二つの接点に接続する複数の同じ種類の線形素子を見つけ出す処理と、当該複数の線形素子を合成して新たな素子値を持つ一つの線形素子にする処理と、前記入力データから前記複数の線形素子の情報を消し去り前記二つの接点間に前記合成された線形素子を挿入して新たな入力データを作成する処理を、回路シミュレーションによる解析をする前に実行することを特徴とする半導体集積回路解析装置。

【請求項9】抵抗要素、容量要素、誘導要素のうち、少なくとも一つの要素を用いて集積回路のサブストレート基板を、少なくとも面に接続点としてのノードを持つ前記要素でモデル化した単位立体の集合体として取り扱い、このモデル化した要素を用いて当該サブストレート基板を当該集積回路を構成する線形素子、非線形素子、基板及び配線の寄生成分とともに回路シミュレータで動作特性解析する半導体集積回路解析装置において、複数の前記基板や配線等の寄生モデルから構成される基板部分或は配線部分について当該部分の回路方程式の次数の次元を持つ行列と前記次数の次元を持つベクトルを用いて表現する処理と、行列演算を施すことにより前記行列及びベクトルの次元を、はじめの次元よりも小さくする処理と、当該次元を縮小した行列により当該次元を縮小したベクトルの次元数の端子をもつ新たな寄生モデルとして作成する処理と、前記半導体基板上に配置された線形素子及び非線形素子に関する情報を含む回路シミュレータの入力データに前記新たに作成したモデルに関

する情報を合成して新たな回路シミュレータの入力データを作成する処理を、回路シミュレーションによる解析をする前に実行することを特徴とする半導体集積回路解析装置。

【請求項10】請求項9において、前記基板や配線等の寄生モデルから構成される基板部分或は配線部分について前記回路方程式を表現する処理と、前記行列演算により当該行列の次元を小さくする処理と、前記新たな寄生モデルを作成する処理を複数回実行することを特徴とする半導体集積回路の解析装置。

【請求項11】請求項10において、前記新たな寄生モデルは半導体基板上に配置された素子及び配線、或いは他のマクロモデルと接するノードを持つことを特徴とする半導体集積回路解析装置。

【請求項12】請求項9において、前記新たな寄生モデルを作成するための前記複数の基板や配線等の寄生モデルの範囲を任意に指定できることを特徴とする半導体集積回路解析装置。

【請求項13】請求項12において、前記範囲の指定に半導体基板上に作られるN型ウェル及びP型ウェルの形及び大きさを用いることを特徴とする半導体集積回路解析装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路の解析装置に係り、特に半導体集積回路の製造によって生じる寄生素子の影響を含めた回路シミュレーションを半導体集積回路の解析装置に関する。

【0002】

【従来の技術】集積回路は、サブストレータ基板（半導体基板）上に素子や配線を作り込む。従って、高周波アナログ回路やアナデジ（アナログデジタル）混在回路及び高速デジタル回路では信号が集積回路のサブストレータ基板を介して、漏れ込む現象の影響が問題となってきた。そこで、これらの回路の集積回路を設計する際にはその影響も考慮しなければならない。

【0003】文献（Balshz R. Stanisic, Nishath K. Verghese, Rob A. Rutenbar, L. Richard Carley and David J. Allstot, "Addressing Substrate Coupling Mixed-Mode IC's: Simulation and Power Distribution Synthesis," IEEE Journal of Solid-State Circuits, Vol. 9, No. 3, pp. 226-238, March, 1994）によれば、サブストレータ基板を図1（a）に示す抵抗モデルが3次元的につながった抵抗網としてモデル化し、回路シミュレータで解析することの有効性が示されている。

【0004】図1（a）に示す抵抗モデルは、次のようなものである。すなわち、図1（b）に示すように、単位立方体1の各面を、例えば、F1, F2, F3, F4, F5, F6とする。F1は上面であり、F2は右側面であり、F3は正面であり、F4は左側面であり、F5は背面であり、F6は底面である。

【0005】図1（a）の抵抗モデルは単位立方体1の中心にノード（端子）を2（c）を置き、このノード2（c）を中心に立方体1の各面に真っ直ぐ伸びる配線を確保し、各配線には抵抗要素3を配置すると共に、その配線の立方体壁面にぶつかったところに、それぞれ一つづつノードをおく。

【0006】すなわち、2（F1）は上面位置のノード、2（F2）は右側面位置のノード、2（F3）は正面位置のノード、2（F4）は左側面位置のノード、2（F5）は背面位置のノード、2（F6）は底面位置のノードとなる。抵抗要素は、サブストレータ基板の材料や不純物拡散濃度など、実際の基板上に分布する抵抗値を、理論的に計算して求めたものであり、サブストレータ基板の仕様や、半導体製造プロセス、半導体構造といった実際の設計上の情報から、単位体積あたりの抵抗値を求めて、これを反映した形で、コンピュータがモデル化処理する。単位立方体1は単位体積あたりのモデルを示している。サブストレータ基板はこの単位立方体を密に並べたものと等価となる。

【0007】ここで従来の解析方法で、被解析対象である回路系のノード数に着目する。基板部分を構成する図1に示す従来の基板モデルの場合、立方体の中心cに1個のノード2（c）があり、立方体の6個の表面に各々隣の立方体と共有することになるノードF1, F2, F3, F4, F5, F6がある。隣の一個の立方体と共有することになるノードは互いに同じものであるから、ノード数“1”ではなく、半々で分担すると考えると、その数は“0.5”であり、六面分で $0.5 \times 6 = 3$ の計3個分と数えることができる。そのため、中央の1個と合わせて合計4個のノードを持つことになる。

【0008】よって、この一つの立方体あたりのノード数は“4”であることがわかる。

【0009】次に回路全体のノード数を考えると、例えば5mm角の面積の厚さ300 μ mの半導体基板を、一辺100 μ mの大きさを持つ基板モデルで埋めた場合を考えてみる。この場合、考慮しなければならない空間内には7500個の上記基板モデルが含まれる。従って、従来のモデルを用いて解析しようとした場合、基板部分だけでも単純に見積もって7500 \times 4ものノードが存在することになり、扱わなければならないノード数が極めて大規模なものとなる抵抗回路網となってしまう。

【0010】“SPICE”に代表される回路シミュレータは、解析する回路の各ノードについて回路方程式を立てて、それを解くことを演算の基本としている。その

際に、回路のノード数の次元を持った大きさの行列計算をしている。

【0011】計算機に於いて次元の大きな行列の演算には、その規模に見合った記憶領域を必要としている。そして、計算機に備わる記憶領域は有限であるために、その容量を越える記憶領域を要求する行列演算は実行不可能となる。

【0012】従って、回路シミュレータで解析する回路の持つノード数が増えると、場合によっては、計算に必要とされる記憶領域が計算機の持つ記憶領域を超えて解析のための演算が実行できなくなるという問題点があった。

【0013】

【発明が解決しようとする課題】このように、集積回路のサブストレート基板の影響を抵抗回路網として回路シミュレータで解析しようとした場合、ノード数の増大という問題点に直面し、集積回路の設計を効率的に行うことが困難であった。

【0014】そこで本発明の目的とするところは、上記従来の基板抵抗網の大規模化の問題点を解決し、効率的な解析を行うことができる半導体集積回路解析装置を提供することにある。

【0015】

【課題を解決するための手段】上記目的を達成するために本発明による半導体集積回路解析装置は、サブストレート基板の解析のためにノード数の少ないサブストレート基板モデルを備えていることを特徴とするものである。さらに、回路シミュレータによる解析を実行する前に被解析対象である回路系の基板部分の回路についてそこに含まれるノードの数を減らす処理を実行することを特徴とするものがある。

【0016】本発明は、集積回路のサブストレート基板を立体図形の集合体として取り扱い、当該サブストレート基板を当該集積回路を構成する線形素子、非線形素子とともに回路シミュレータで解析する半導体集積回路の解析装置において、半導体集積回路のサブストレート基板の影響を抵抗回路網として回路シミュレーションで解析しようとした場合に直面するノード数の増大という問題点を解決し、効率的な半導体集積回路解析を行うことができるようにするために、前記基板モデルは多角柱の側面及び底面上に端子を持ち、或いは前記基板モデルは三角柱或は四角柱で上底或は下底面上の三つの頂点部分と異なる底面上の一つの頂点部分に端子を持ち、当該端子間を抵抗性、容量性及び誘導性成分を介して結合させた回路とすること、また入力データから二つの線形素子のみに接続する接点を見つけ、前記線形素子を合成したり、同じ二つの接点に接続する複数の線形素子を合成して新たな入力データを作成する処理や、複数の基板モデルの回路方程式を立て行列演算により、当該回路方程式を表す行列の次元を小さくし、新たなモデルとする処理

を、回路シミュレーションによる解析の実行前に実行することを特徴とするものである。

【0017】従って、本発明によれば、サブストレート基板の解析のためにノード数の少ないサブストレート基板モデルを用いているために被解析回路の総ノード数の増大を抑えることができ、さらに、回路シミュレータによる解析を実行する前に被解析対象である回路系の基板部分の回路について、そこに含まれるノードの数を減らす処理を実行しているために、大規模な回路の効率的な解析を可能とするものである。

【0018】

【発明の実施の形態】以下、本発明の実施例を図面を参照しつつ説明する。

（実施の態様1）本発明の半導体集積回路解析装置に含まれる第一の発明は、基板部分を少ないノード数でモデル化し、チップ面積が大きくなった回路においても回路シミュレータによる解析を可能とするものである。

【0019】以下において、基板モデルとして表現されている立方体に含まれているノード数を基に、本発明の効果を説明する。

【0020】基板モデルの見直しは、モデルの一つの立方体あたりのノード数の変化は小さいが、そのモデルが多数あるために回路全体としては大幅なノード数の削減が見込まれる。

【0021】図2に、本発明の実施の態様1の基板モデルを示す。図2のモデルは、上面ノード2（F1）、背面ノード2（F5）、右側面ノード2（F2）、左側面ノード2（F4）、正面ノード2（F3）、底面ノード2（F6）の6ノード構成とし、中心ノードをなくした形のモデルにしたものである。この場合、ノード間をそれぞれつなぐ抵抗要素が含まれるために、抵抗要素のエレメント数は従来のモデルより増えることになるが、ノード数は0.5×6で計3となる。

【0022】このように、図2のモデル構成とした場合、立方体の6個の表面に各々隣の立方体と共有するノードがあるだけなので、一つの立方体あたりのノード数は“3”である。

【0023】これにより、図1に示した従来の基板モデルを用いたときに比べて75%のノード数になる。解析したい集積回路のチップ面積が大きくなってくると、この75%削減効果は大きい。

【0024】図2を見ると明らかなように、この基板モデルではモデル内に含まれる素子の数が図1の基板モデルに比べて増えていることがわかるが、回路シミュレーションにおいてはノード数の増加による計算不能の事態の方が遥かに深刻な問題である。

【0025】図2の基板モデルを用いた時の素子値の決め方には以下のものがある。基板モデルは本来、抵抗成分と容量成分とから構成されるが、媒質の抵抗率及び誘電率とから決まる誘電緩和時間が、回路が扱う信号の速

さに比べて速い場合は容量成分は省略することができる。

【0026】以下、簡単のために抵抗成分についてのみに考えるが、容量成分についても同様に扱うことが可能である。抵抗値は媒質の抵抗率と立方体の大きさから算出される。このモデルには抵抗値R1、抵抗値R2の計2種類の抵抗3がある。立方体の隣り合う平面上にあるノード間を結ぶ抵抗の抵抗値をR1とし、立方体の向かい合う平面上にあるノード間を結ぶ抵抗の抵抗値をR2とする。

【0027】抵抗値の第1の算出法は、向かい合う2平面間の抵抗をR1とR2の合成抵抗で表現するものである。図1のモデルの立方体の一辺の長さをa、媒質の抵抗率を ρ とすると向かい合う2面間の抵抗値R0は、

$$R0 = \rho (a/a^2) = \rho/a \quad \dots (1)$$

となる。また、R2はR1の $2^{1/2}$ 倍の長さがあるから、

$$R2 = 2^{1/2} (R1) \quad \dots (2)$$

の関係を用いて、

$$R1 = R0 (4 + 2^{1/2}) / 2 \quad \dots (3)$$

$$R2 = \{1 + 2(2^{1/2})\} R0 \quad \dots (4)$$

の関係が得られる。ここで、場合によっては式(3)、式(4)の値に係数を掛けても良い。本発明の有効性を確認するため、次の検証を行ってみた。

【0028】図1及び図2のモデルそれぞれ次元のつなぎ並べて平板をつくり、4針法(例えば、F. M. Smit's, "Measurement of Sheet Resistivities with the Four-Point Probe," The Bell System Technical Journal, Vol. 37, pp. 711-718, May, 1958)で抵抗率の測定をシミュレーションした。

【0029】図1の従来モデルを用いたときに3.7%の誤差があったのが、図2の本発明のモデルを用いたときには1.5%の誤差に改善された。これより、このモデルの有効性が確認された。

【0030】抵抗値の第2の算出法は、元々図1のモデルで表現されていたものを立方体内部にあるノードを減らしたものと等価である。

【0031】これは、後で説明するYパラメータで表されたモデルのノード数の縮約と同じものであるので、詳しい説明は後に譲る。

【0032】(実施の態様2)本発明の第2の実施態様の基板モデル例を図3に示す。これは、立方体の互いに隣り合う4頂点の位置をノードとしたものである。

【0033】このモデルでは、隣り合う4個の立方体と共有されるノードが4個あるので、一つの立方体あたりのノード数は"1"である。このモデルを3次元的に繋ぎ並べた場合、図1で示した従来の基板モデルを繋ぎ並べた場合と同じ格子形状になる。

【0034】図4に示すように、どちらの場合も同じ格子間隔の抵抗網となっている。従って図3で示す基板モデルを用いた方がノード数に関しても素子数に関しても効率よく基板抵抗網を表現していることがわかる。

【0035】ノード数に関しては従来モデルの25%に抑えることができる。このモデルでの抵抗値の決め方は、図1で示した従来モデルと同じでよい。ここで立方体の各側面とノードの意味を考える。

【0036】3次元的に広がりを持った基板を、抵抗や容量を用いた集中定数モデルで近似した場合、単位立方体1の各側面上にあるノードはその側面の代表点と考えることができる。図1の従来モデルの場合、6つある各々の側面の中央にノード2(c)がある。従って、代表点としての各ノードは各々の側面を最小の誤差で近似していることがわかる。

【0037】このことは、図2の提案モデルにもそのまま当てはまる。ところが図3の提案モデルの場合、図3の右上の他の3ノードとつながっているノードは、そのノードが接する3つの側面(F1)、(F2)、(F5)の代表点になっている。従って、ノード数の節約という利点は、誤差の増大という欠点を導いていることがわかる。

【0038】ところが、図3の提案モデルを図12に示すように、単位立方体1とノード2の関係をずらしてみると、上の問題点は解決される。そもそも、このようなモデルを用いて解析する基板は、基板上部に配置された素子や配線などとの相互作用を調べるために導入されたものである。図12のように立方体の上部の面の中央にノードがあれば、目的とする解析で従来モデルと同等の精度が保てる。

【0039】以上の説明は立方体において行なったが、直方体や角柱など他の立体図形でも適用できる。

【0040】図8に三角柱、六角柱形状の基板モデルとしたときの例を示す。

【0041】次に、本発明の半導体集積回路解析装置の特徴として、回路シミュレータによる解析を実行する前に、複数の基板モデルを合成して不要なノードを削減する処理を行なうが、これについて以下説明する。

【0042】(実施の態様2-1)実施の態様2-1の例は、図9に示すように直列或いは並列に接続されている複数の線形素子を合成して、ノード数素子数の削減を図るようにしたものである。本発明の処理の流れを図10及び図11に示す。

【0043】すなわち、図10の処理は、入力データを受けて2つの線形素子だけに接続してノードを見つける(S11、S12)。そして、次に2つの線形素子を合成する(S13)。次に、素子を入れ換えて新しい入力データを作成する(S14)。

【0044】図11の処理は、入力データを受けて同じ2つのノードに接続する複数の線形素子を見つける(S

21, S22)。そして、次にそれらの線形素子を合成する(S23)。次に、素子を入れ換えて新しい入力データを作成する(S24)。

【0045】このような処理を図14に示す如きコンピュータで実施させる。このコンピュータにはメモリ22に“SPICE”などのような回路シミュレータソフトウェアを保持させてあり、これによって回路シミュレータの実施機能をも含ませている。なお、図14において、21はCPU(プロセッサ)、22はメモリ、23は入力手段、24は出力手段である。また、25はディスプレイ、26は大容量外部記憶装置である。

【0046】図10、図11の手順によるノード削減方法は、上記コンピュータに内蔵させた回路シミュレータの入力データの中から、2つの同じ種類の線形素子だけに接続しているノードを見つけ出し、その2つの線形素子を合成して新たな1つの整形素子に置き換えることでノードを減らすものである。

【0047】一方、同様な処理で素子数の削減も可能である。回路シミュレータの入力データの中から、同じ2つのノードに接続している複数の線形素子を見つけ出し、そのうちの同じ種類の線形素子を合成して新たな1つの線形素子として置き換えることで、素子数を削減するものである。この2つの処理は交互に複数回実行するより効果的である。

【0048】本発明の処理を回路シミュレーション実行前に行なうことで、入力データ内の冗長な情報を整理でき、回路シミュレータによる解析を効率的に行なえるようになる。

【0049】(実施の態様2-2) 実施の態様2-2の例は、従来の行列演算により不要なノードを削減する手法をより効率的に行なうようにしたものである。本発明の処理の流れを図7に示す。図に示すように、基板や配線の影響を調べるために導入したネットについて、回路の縮約処理をし(S3, S4)、これよりマクロモデルをつくる(S5)。次にこれをさらに縮約しこれによってマクロモデルをつくる(S6, S7)。これと、スキマティックデータにあるネットデータ用い新しいネットをつくる(S1, S2)。そして、この新しいネットを利よして回路シミュレーションを行う(S7)。以上

が、図7での処理である。

【0050】このような処理を図14に示す如きコンピュータで実施させる。このコンピュータにはメモリ22に“SPICE”などのような回路シミュレータソフトウェアを保持させてあり、これによって回路シミュレータの実施機能をも含ませている。

【0051】図7の処理により、従来基板部分を抵抗網としてモデル化して、基板上に配置された素子や配線と合わせて解析していたもの、或いは、そのままでは莫大なノード数になってしまう基板抵抗網部分を、後述の行列演算によって整理縮小してから解析していたものを、効率良く縮約操作を実行して解析を行なえるようにした。

【0052】先にも述べたが、基板部分を寄生素子として捉え、基板上に配置された素子と合わせてネットリスト(回路シミュレータで使用する要素データ)を作成して回路シミュレーションを実行しようとした場合、そのネットリストは大規模なデータになってしまい、解析を実行できなくなることが多い。

【0053】そこで、以下の行列演算を施すことにより、基板部分に含まれる不要なノードを削減する方法がある。

【0054】以下では、Y(アドミッタンス)パラメータについて説明してあるが、行列の一般的な性質を用いているので、SパラメータやZパラメータなど他の回路パラメータにおいても適用できる。

【0055】回路シミュレータでは、例えば、MNA法(C. Ho, A. E. Reihliand P. Brennan, “The modified nodal approach to network analysis,” IEEE Trans. Circuits Syst., Vol. CAS-22, No. 6, pp. 504-509, June 1975)などを用いて回路方程式を立てる。

【0056】今、被解析対象の回路がn個の変数を持っていたとすると、n個の回路方程式は以下のように行列を用いて表現される。

【0057】

【数1】

$$\begin{bmatrix} Y_{11} & \cdots & Y_{1n} \\ \vdots & & \vdots \\ Y_{n1} & \cdots & Y_{nn} \end{bmatrix} \begin{bmatrix} V_1 \\ \vdots \\ V_n \end{bmatrix} = \begin{bmatrix} I_1 \\ \vdots \\ I_n \end{bmatrix} \quad \dots (5)$$

【0058】ここで、n個の変数のうち、m個の変数だけに興味がある場合、行列の一般的な性質を用いて以下のように変数の個数の縮約を行なうことができる(Kevin J. Kerns, Ivan L. Wemple and Andrew T. Yang, “Stabl

e and Efficient Reduction of Substrate Model Networks Using Congruence Transforms”, IEEE/ACM International conference on Compute

r Aided Design Digest of Technical Papers, pp. 207-214, November, 1995)。

【0059】式(5)を書き直して、
【数2】

$$\begin{bmatrix} Y_{11} & \cdots & Y_{1m} & Y_{1m+1} & \cdots & Y_{1n} \\ \vdots & & \vdots & \vdots & & \vdots \\ Y_{m1} & \cdots & Y_{mm} & Y_{mm+1} & \cdots & Y_{mn} \\ Y_{m+11} & \cdots & Y_{m+1m} & Y_{m+1m+1} & \cdots & Y_{m+1n} \\ \vdots & & \vdots & \vdots & & \vdots \\ Y_{n1} & \cdots & Y_{nm} & Y_{nm+1} & \cdots & Y_{nn} \end{bmatrix} \begin{bmatrix} V_1 \\ \vdots \\ V_m \\ V_{m+1} \\ \vdots \\ V_n \end{bmatrix}$$

$$= \begin{bmatrix} I_1 \\ \vdots \\ I_m \\ I_{m+1} \\ \vdots \\ I_n \end{bmatrix} \cdots (6)$$

【0060】とする。ここで、
【数3】

$$\begin{aligned}
 A &= \begin{bmatrix} Y_{11} & \cdots & Y_{1m} \\ \vdots & & \vdots \\ Y_{m1} & \cdots & Y_{mm} \end{bmatrix} \\
 B &= \begin{bmatrix} Y_{1m+1} & \cdots & Y_{1n} \\ \vdots & & \vdots \\ Y_{mm+1} & \cdots & Y_{mn} \end{bmatrix} \\
 C &= \begin{bmatrix} Y_{m+11} & \cdots & Y_{m+1m} \\ \vdots & & \vdots \\ Y_{n1} & \cdots & Y_{nm} \end{bmatrix} \\
 D &= \begin{bmatrix} Y_{m+1m+1} & \cdots & Y_{m+1n} \\ \vdots & & \vdots \\ Y_{nm+1} & \cdots & Y_{nn} \end{bmatrix} \\
 V &= \begin{bmatrix} V_1 \\ \vdots \\ V_m \end{bmatrix} \\
 V' &= \begin{bmatrix} V_{m+1} \\ \vdots \\ V_n \end{bmatrix} \\
 I &= \begin{bmatrix} I_1 \\ \vdots \\ I_m \end{bmatrix} \\
 I' &= \begin{bmatrix} I_{m+1} \\ \vdots \\ I_n \end{bmatrix} \\
 \begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} V \\ V' \end{bmatrix} &= \begin{bmatrix} I \\ I' \end{bmatrix}
 \end{aligned}$$

【0062】と書き表される。

【0063】今、変数1～nが回路中のノード電圧である場合を考える。ノード1～mがモデルの表面にあり、隣のモデルや集積回路上にある線形素子、非線形素子、配線などにつながるノードで、ノードm+1～nが隣のモデルや他の素子と接しないモデル内部のノードである

$$\begin{bmatrix} A & B \\ C & D \end{bmatrix} \begin{bmatrix} V \\ V' \end{bmatrix} = \begin{bmatrix} I \\ 0 \end{bmatrix}$$

【0061】とすると、式(1)は
【数4】

… (7)

とする。

【0064】するとキルヒホッフの電流則より、内部ノード各点では電流の総和はゼロであるから、

$$I' = 0$$

となり、(7)式は書き直されて

【数5】

… (8)

【0065】となる。これは連立式
【数6】

$$\begin{cases} AV + BV' = I \\ CV + DV' = 0 \end{cases}$$

【0066】と等価である。 V' を消去して

$$(A - BD^{-1}C)V = I \quad \dots (9)$$

とすることができる。この式には不要なノードの情報は含まれておらず、必要なノード間のみの相互作用を表している。

【0067】以上の操作を行なうことにより、図5に示すように、基板部分に含まれるノード数を減らすことができる。すなわち、図5(a)に示される単位立方体1はノード2が各面に1つずつあるが、縮約することにより、図5(b)の如くとなり、立方体の隣接する面のノードはなくなり、表面に現れている分のみが残る。従って、この表面に現れているノード数のみに数が減ることになる。

【0068】ところが、この縮約操作をそのまま用いた場合、始めに基板部分の抵抗網データを式(5)の形に書き下さなければならないために、大規模な基板部分のデータをそのまま扱うことが困難であったり、削減しようとするノード数が大きいために、式(9)中にある行列Dの逆行列 D^{-1} の次元が大きくなり、計算効率を落とす問題がある。

【0069】そこで、前述の行列演算による回路縮約操作を、より効率的に行なえるようにする方法を以下に説明する。

【0070】この方法は縮約して作った基板マクロモデルを再利用しながら縮約操作を繰り返し、最終的に必要なノードだけを残すものである。従って、従来の縮約方法に比べて効率的なノード数の削減が可能となる。

【0071】手法は次の通りである。

【0072】[i] 始めに、先に示した立方体の単位モデルを集めて第1段階のマクロモデルを作る。この時、例えば、図13に示すような柱状のマクロモデルとすればこのマクロモデルはいかなる基板部分においてもそのまま流用することができる。

【0073】[ii] 次に、第1段階のマクロモデルを複数集めて第2段階のマクロモデルを作る。この時も他の基板部分でもそのまま流用できるようなマクロモデルとしておく。ここでは必ずしも1種類のマクロモデルとする必要はない。それぞれの段階での縮約操作は前述の行列演算を行なう。

【0074】この手法によれば、“大規模な抵抗網を一度に縮約させる従来の場合に比べて、縮約操作をかけようとする元の抵抗網が小さい”ことと、“一回の縮約操作で削減するノード数が少ないために、式(5)で表した行列の次元が小さくなる”こと、さらに“式(9)で示した行列Dの逆行列 D^{-1} を求める演算が容易になる”

ので、行列演算の効率が向上する。

【0075】例えば、図1に示した従来の立方体モデルを図5のように“ $4 \times 4 \times 4$ 個”積み上げたマクロモデルを作る時を考える。これを一度に縮約すると、“288ノード”から“80ノード”にするために、式(9)では“208次元”の行列の逆行列を計算しなければならない。逆行列を計算するためには、行列要素の数、つまり、行列の2乗に比例した計算コストがかかる。

【0076】ところが、はじめに図13(a)のような単位立方体BL1~BL4を図13(b)のように1個にまとめた第1段階のマクロモデルを作り、さらにこれを複数まとめて図5(b)のような第2段階のマクロモデルを作る場合は、第1段階で“40ノード”から“17ノード”にし、第2段階で“176ノード”から“80ノード”にするために、それぞれの段階で必要とする逆行列の次元は23次元と96次元である。従って、本発明のノード数削減の方法は、段階的に縮約操作を行ない計算効率を上げ、さらに一旦、計算し、マクロモデル化したものを次の縮約操作に流用しているために、同じ計算を繰り返すことによる計算効率の低下を抑えることができる。

【0077】この縮約操作は解析実行者の設定により、マクロモデル化する部分と規模と段階を自由に選べるものとする。例えば、注入不純物の極性や濃度が異なるために元々の基板モデルが異なるウェルの部分や埋め込み層の部分は個別にマクロモデル化することとする。

【0078】図6はサブストレート部分10、ウェル部分9、基板上に配置された素子8のマクロモデル化の例を示す。サブストレート部分10とウェル部分9を別々にマクロモデル化したために、例えばサブストレートとウェルの注入不純物の極性が異なる場合に現れる接合容量を、そのまま接点に挿入することができる。

【0079】また図6は隣のモデルや配置された素子との接点部分にしかノードを持たないマクロモデルの例を示している。縮約操作の際に残す必要なノードとは、基板上に配置されている素子や、配線と接する部分のノードや異なるマクロモデル同士が接している部分などである。

【0080】以上の本発明のノード数削減法により、回路シミュレーションによる解析を効率的に行なうことができる。

【0081】以上、本発明は、集積回路のサブストレート基板を立体図形の集合体として取り扱い、当該サブストレート基板を当該集積回路を構成する線形素子、非線形素子とともに回路シミュレータで解析する半導体集積回路の解析装置において、半導体集積回路のサブストレート基板の影響を抵抗回路網として回路シミュレーションで解析しようとした場合に直面するノード数の増大という問題点を解決し、効率的な半導体集積回路解析を行うことができるようにするために、前記基板モデルは多

角柱の側面及び底面上に端子を持ち、或いは前記基板モデルは三角柱或は四角柱で上底或は下底面上の三つの頂点部分と異なる底面上の一つの頂点部分に端子を持ち、当該端子間を抵抗性、容量性及び誘導性成分を介して結合させた回路とすること、また入力データから二つの線形素子のみに接続する接点を見つけ、前記線形素子を合成したり、同じ二つの接点に接続する複数の線形素子を合成して新たな入力データを作成する処理や、複数の基板モデルの回路方程式を立て行列演算により、当該回路方程式を表す行列の次元を小さくし、新たなモデルとする処理を、回路シミュレーションによる解析の実行前に実行することを特徴とするものである。

【0082】従って、本発明によれば、サブストレート基板の解析のためにノード数の少ないサブストレート基板モデルを用いているために被解析回路の総ノード数の増大を抑えることができ、さらに、回路シミュレータによる解析を実行する前に被解析対象である回路系の基板部分の回路について、そこに含まれるノードの数を減らす処理を実行しているために、大規模な回路の効率的な解析を可能とするものである。

【0083】なお、本発明は上述した例に限定されるものでなく、要旨を変更しない範囲内で種々変形して実施し得る。

【0084】

【発明の効果】以上説明したように本発明によれば、サブストレート基板の解析のためにノード数の少ないサブストレート基板モデルを用いているために被解析回路の総ノード数の増大を抑えることができる。さらに、回路シミュレータによる解析を実行する前に被解析対象である回路系の基板部分の回路についてそこに含まれるノードの数を減らす処理を実行しているために大規模な回路の効率的な解析を可能とするものである。

【図面の簡単な説明】

【図1】従来の基板モデルを説明するための図。

【図2】本発明を説明するための図であって、本発明で使用する第一の基板モデル例を示す図。

【図3】本発明を説明するための図であって、本発明で使用する第二の基板モデルの例を示す図。

【図4】従来モデルと本発明のモデルでの格子間隔の比較を説明するための図。

【図5】本発明を説明するための図であって、マクロモデル化による内部ノードの縮約を説明するための図。

【図6】本発明を説明するための図であって、本発明によるマクロモデル化の一例を説明する図。

【図7】本発明を説明するための図であって、本発明に適用する半導体集積回路解析装置の処理の流れを説明する図。

【図8】本発明を説明するための図であって、基板モデルとして三角柱、六角柱のを用いる例を説明するための図。

【図9】本発明を説明するための図であって、本発明の適用によるノード数、素子数削減の例を説明するための図。

【図10】本発明を説明するための図であって、本発明によるノード数削減の処理の流れを説明するための図。

【図11】本発明を説明するための図であって、本発明による1素子数削減の処理の流れを説明するための図。

【図12】本発明を説明するための図であって、モデルの立方体と代表点としてのノードとの関係を説明するための図。

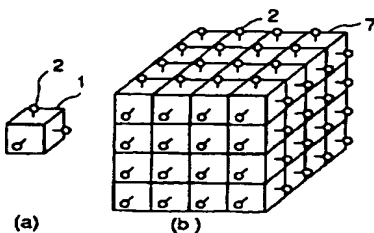
【図13】本発明を説明するための図であって、再利用可能なマクロモデルの例を示す図。

【図14】本発明を説明するための図であって、本発明を実施するために用いるシステム構成例を図。

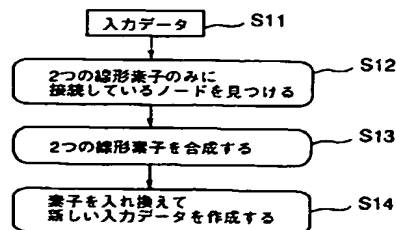
【符号の説明】

- 1…基板モデル
- 2…ノード
- 3…抵抗成分及び容量成分
- 4…抵抗R1
- 5…抵抗R2
- 6…格子間隔
- 7…基板マクロモデル
- 8…線形素子或いは非線形素子
- 9…ウェルマクロモデル
- 10…サブストレートマクロモデル

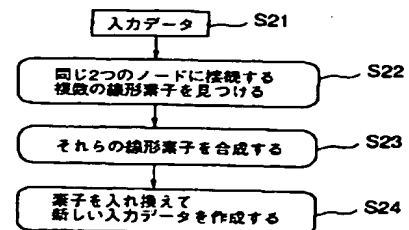
【図5】



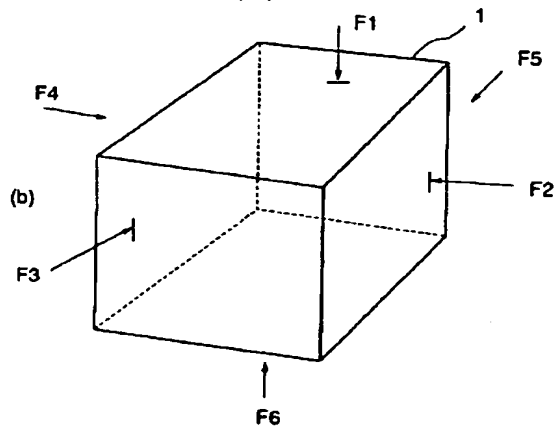
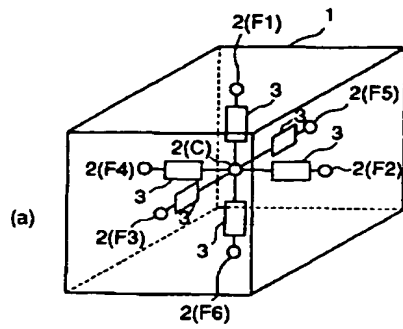
【図10】



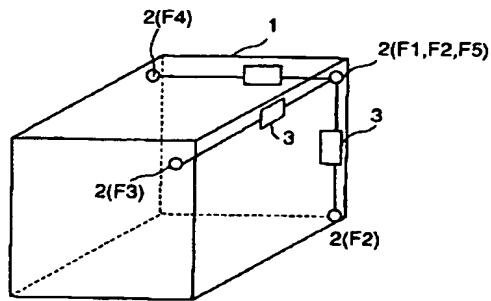
【図11】



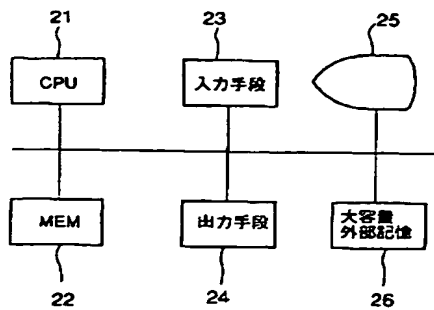
【図 1】



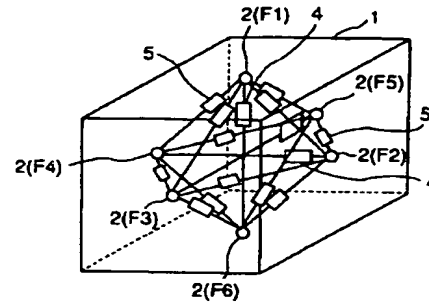
【図 3】



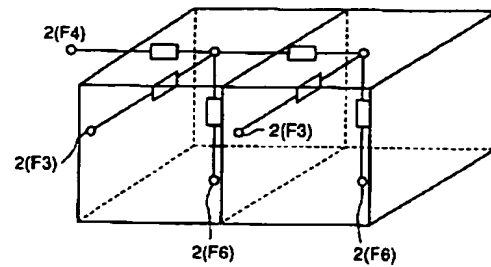
【図 1 4】



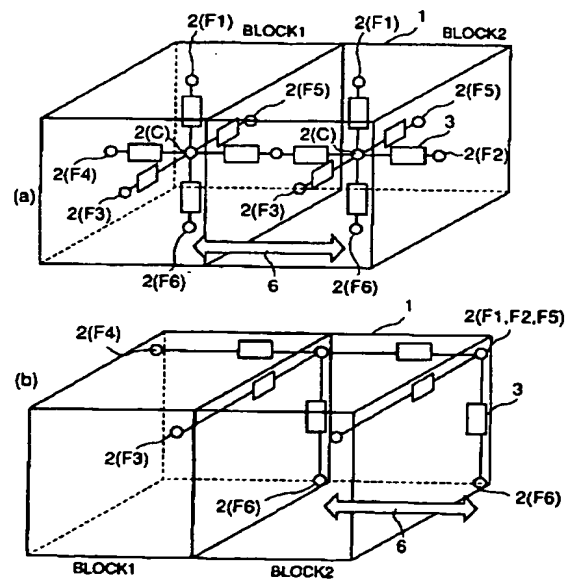
【図 2】



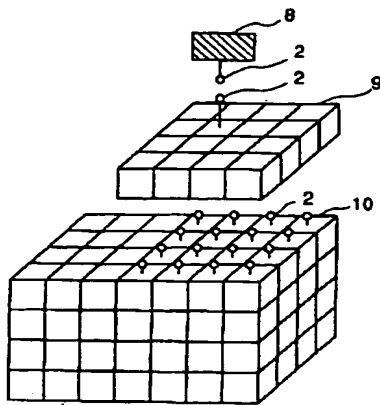
【図 1 2】



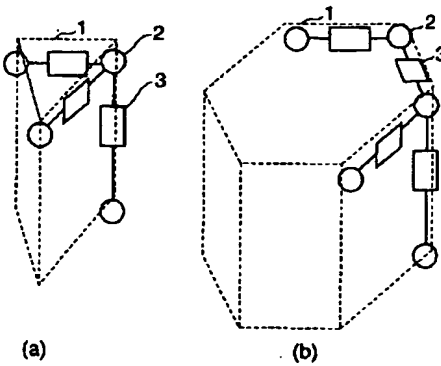
【図 4】



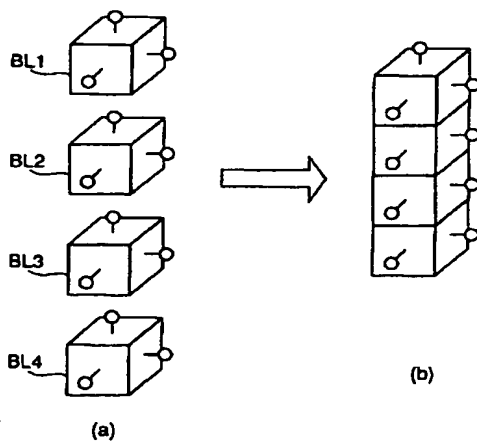
【図6】



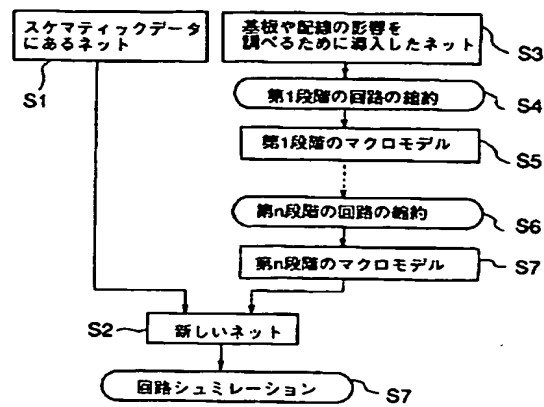
【図8】



【図13】



【図7】



【図9】

